

DIALOG(R)File 347:JAPIO

(c) 2006 JPO & JAPIO. All rts. reserv.

03663149 ****Image available****

SEMICONDUCTOR DEVICE

PUB. NO.: **04-028249** [JP 4028249 A]
PUBLISHED: January 30, 1992 (19920130)
INVENTOR(s): MURAKAMI SHIGERU
 YAMAGATA YASUJI
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 02-133215 [JP 90133215]
FILED: May 23, 1990 (19900523)
INTL CLASS: [5] H01L-021/82
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JOURNAL: Section: E, Section No. 1200, Vol. 16, No. 196, Pg. 76, May
 12, 1992 (19920512)

ABSTRACT

PURPOSE: To fuse-cut promptly a wiring for fusing use at a specified place by a method wherein a wiring for heating use, which is arranged so as to intersect the wiring for fusing use, is provided and one part of the wiring for fusing use is heated by making a current flow through this wiring for heating use.

CONSTITUTION: A polycrystalline silicon film 3 for heating use is formed on an insulating film 2 provided on the surface of a semiconductor substrate 1, a second insulating layer 4 is formed on this film 3 and a polycrystalline silicon film 5 for fusing use, which is used as a programmable element, is formed on this film 4 so as to intersect the film 3. A third insulating film 6 is formed on the film 5, contact holes 7 and 8 are respectively formed in the films 4 and 6 and Al wirings 9 and 10 are respectively connected to the films 3 and 5 through the holes 7 and 8. In the case of correction of defective semiconductor devices, when a current is made to flow through the film 3 through the wiring 9, the intersection part of the film 5 is heated with heat which is generated in the film 3. Simultaneously, when a current is made to flow through the film 5, heat which is generated in the film 5 itself is applied and a fusing of the film 5 becomes possible.

Family list

2 family member for:

JP4028249

Derived from 1 application.

1 SEMICONDUCTOR DEVICE

Publication info: **JP2913768B2 B2** - 1999-06-28

JP4028249 A - 1992-01-30

Data supplied from the *esp@cenet* database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-28249

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)1月30日

H 01 L 21/82

8225-4M H 01 L 21/82

F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-133215

⑰ 出 願 平2(1990)5月23日

⑱ 発 明 者 村 上 茂 東京都港区芝5丁目7番1号 日本電気株式会社内

⑲ 発 明 者 山 縣 保 司 東京都港区芝5丁目7番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 代 理 人 弁理士 鈴木 章夫

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 冗長回路につながる配線の一部を熔断用配線で構成し、該配線に通電することで前記熔断用配線を熔断するように構成した半導体装置において、前記熔断用配線と交差配置される加熱用配線を設け、この加熱用配線への通電によって前記熔断用配線の一部を加熱するように構成したことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体装置に関し、特に冗長ビットにつながるプログラマブル素子を有する半導体装置に関する。

〔従来の技術〕

近年の半導体装置、特に半導体記憶装置では大容量化が進められているが、チップ当たりの記憶容量が増加するに伴い製造歩留りを実用的な水

準以上に保持することが次第に困難になりつつある。この歩留り低下は、全記憶容量のうちの僅かに数ビットの記憶素子が動作していないことが原因となる場合が多く、このような不良を救済して歩留りの向上を図るために装置の一部に冗長ビットおよびプログラマブル素子を設け、このプログラマブル素子を例えば断線させることで不良ビットを冗長ビットに切り替えるようにした技術が採用されている。

例えば、第5図にはこの種の冗長ビットにつながるプログラマブル素子を示しており、半導体基板1に形成するアルミニウム配線の一部を、多結晶シリコン膜5で構成している。この多結晶シリコン膜5はその両端においてコンタクト8によりアルミニウム配線10に電気接続されている。

そして、不良救済時には、このアルミニウム配線10を通して多結晶シリコン膜5に通電流を流し、多結晶シリコン膜5の抵抗によって発生される熱により多結晶シリコン膜5自身が熔断されることになる。

なお、この他にもレーザにより配線一部を断線させるようにしたプログラマブル素子も提案されているが、ここではその説明は省略する。

〔発明が解決しようとする課題〕

このような多結晶シリコン膜5をプログラマブル素子とする半導体装置では、不良救済時に多結晶シリコン膜5に電流を流して熔断を行っているが、実際には多結晶シリコン膜5において発生された熱の殆ど(99.9%)は周辺に放散され、多結晶シリコン膜5を熔断する熱として有効に作用していない。このため、熔断するのに必要な熱量を発生させるためには、極めて大きな電力を長時間にわたって供給する必要がある。この不良救済は通常半導体装置の選別試験時等に行われるが、このように長時間にわたって電流を供給しなければならないために、選別スループットが低下されるという問題が生じている。

また、従来のプログラマブル素子では、多結晶シリコン膜5のいずれの箇所でも熔断されるかが特定されないため、多結晶シリコン膜5が延設され

る領域にはこれと交差して他の配線を配置することができず、配線の自由度を低下させるという問題もある。

本発明の目的は、プログラマブル素子の熔断を容易に行い、かつ配線の自由度を高めることを可能にした半導体装置を提供することにある。

〔課題を解決するための手段〕

本発明の半導体装置は、冗長回路につながるプログラマブル素子としての熔断用配線に交差配置される加熱用配線を設け、この加熱用配線への通電によって熔断用配線の一部を加熱するように構成している。

〔作用〕

本発明によれば、加熱用配線に通電して発生される熱により熔断用配線の一部を加熱することにより、熔断用配線の特定箇所における熱量を高め、この部分ににおいて熔断用配線を迅速に熔断することが可能となる。

〔実施例〕

次に、本発明を図面を参照して説明する。

3

第1図は本発明の第1実施例を示す図であり、同図(a)は平面図、同図(b)はそのA-A線に沿う断面図である。図において、1は半導体基板であり、図示しない領域に記憶素子を形成してある。この半導体基板1の表面に設けた絶縁膜2上には、0.2 μ mの厚さの加熱用多結晶シリコン膜3を所要パターンに形成している。この加熱用多結晶シリコン膜3上にはPSG等の第2の絶縁膜4を0.1 μ mの厚さに形成し、この上にプログラマブル素子としての熔断用多結晶シリコン膜5を所要パターンにかつ前記加熱用多結晶シリコン膜3と交差するように形成する。この熔断用多結晶シリコン膜5上には0.5 μ mの厚さのPSGかなる第3の絶縁膜6を形成する。しかる上で、前記第2の絶縁膜4および第3の絶縁膜6にそれぞれコンタクトホール7、8を開設し、このコンタクトホール7、8を通して加熱用多結晶シリコン膜3と熔断用多結晶シリコン膜5にそれぞれアルミニウム配線9、10を接続する。

ここで、前記熔断用多結晶シリコン膜5の幅寸

4

法は熔断され易いように可及的に細くし、加熱用多結晶シリコン膜3の幅寸法は可及的に太くしている。

この構成によれば、半導体装置の不良救済に際しては、アルミニウム配線9を通して加熱用多結晶シリコン膜3に電流を流せば、該加熱用多結晶シリコン膜3で発生される熱によって熔断用多結晶シリコン膜5の交差部、ここでは中央部が加熱される。これと同時に、熔断用多結晶シリコン膜5に通電を行えば、熔断用多結晶シリコン膜5自身が発生する熱が加えられ、これらの熱によって熔断用多結晶シリコン膜5の熔断が可能となる。この場合、熔断用多結晶シリコン膜5の熔断箇所は加熱用多結晶シリコン膜3と交差されている箇所となることは言うまでもない。

したがって、この半導体装置では、加熱用多結晶シリコン膜3と熔断用多結晶シリコン膜5に同時に電流を流し、それぞれで発生される熱により熔断用多結晶シリコン膜5を熔断するため、極めて短い時間で熔断を行うことができ、選別スル

5

6

ーブット等を向上することができる。

また、熔断用多結晶シリコン膜 5 は熔断箇所が特定されるため、他の箇所において他の配線を交差配置することが可能となり、配線の自由度を向上させることができる。

第 2 図は本発明の第 2 実施例の平面図であり、第 1 実施例と同一部分には同一符号を付してある。

この実施例では、加熱用多結晶シリコン膜 3 の幅寸法を熔断用多結晶シリコン膜 5 の幅寸法に比較して十分に太くする一方で、加熱用多結晶シリコン膜 3 と熔断用多結晶シリコン膜 5 に接続されるアルミニウム配線 9、10 の一部をアルミニウム配線 10 で共用化し、電流供給ラインを共通にしている。

この場合には加熱用多結晶シリコン膜 3 と熔断用多結晶シリコン膜 5 に同時に同じ電流を過流させて熔断用多結晶シリコン膜 5 の熔断を行うことになる。このように同じ電流を過流しても、加熱用多結晶シリコン膜 3 は幅寸法を大きくして耐熱性を高めているため、自身が熔断されることはな

い。これにより、アルミニウム配線の簡略化を図ることができる。

第 3 図は本発明の第 3 実施例を示す平面図である。この実施例では、熔断用多結晶シリコン膜 5 の上層にさらに第 3 の絶縁膜 6 を挟んで第 2 の加熱用多結晶シリコン膜 11 を形成し、その両端をコンタクトホール 12 を介してアルミニウム配線 13 に接続している。また、下層の加熱用多結晶シリコン膜 3 と第 2 の加熱用多結晶シリコン膜 11 とはそれぞれ平面形状を逆向きの V 字型に形成し、それぞれの中間部で熔断用多結晶シリコン膜 5 の中央部分を上下方向に挟むように配置している。

この構成によれば、加熱用多結晶シリコン膜 3 および第 2 の加熱用多結晶シリコン膜 11 にそれぞれ電流を過流することで、熔断用多結晶シリコン膜 5 の中央部を上下から加熱し、この部分における熔断用多結晶シリコン膜 5 の熔断をさらに迅速に行うことが可能となる。

なお、第 4 図に示すように、下層の加熱用多結晶シリコン膜 3 と上層の第 2 の加熱用多結晶シリ

7

8

コン膜 11 とを上下方向に重ねたパターンに形成し、コンタクトホール 7 によって各多結晶シリコン膜 3、11 をアルミニウム配線 9 に共通に接続させてもよい。このようにすれば、アルミニウム配線 9 を通して双方の加熱用多結晶シリコン膜 3、11 に同時に過電を行うことができ、かつ熔断用多結晶シリコン膜 5 の中央部分を上下方向からそれぞれ加熱させることができ、アルミニウム配線の簡略化を図ることができる。

なお、加熱用多結晶シリコン膜で構成した加熱用配線は多結晶シリコン以外の素材で構成してもよい。

〔発明の効果〕

以上説明したように本発明は、プログラマブル素子としての熔断用配線に交差配置した加熱用配線に通電することにより熔断用配線の一部を加熱するように構成しているので、熔断用配線を特定箇所において迅速に熔断することが可能となり、スルーブットの向上および配線自由度の向上を図ることができる。

4. 図面の簡単な説明

第 1 図は本発明の第 1 実施例を示し、同図 (a) は平面図、同図 (b) はその A-A 線に沿う断面図、第 2 図は本発明の第 2 実施例の平面図、第 3 図は本発明の第 3 実施例の平面図、第 4 図は第 3 実施例の変形例を示す平面図、第 5 図は従来のプログラマブル素子の平面図である。

1…半導体基板、2…絶縁膜、3…加熱用多結晶シリコン膜、4…第 2 の絶縁膜、5…熔断用多結晶シリコン膜、6…第 3 の絶縁膜、7、8…コンタクトホール、9、10…アルミニウム配線、11…第 2 の加熱用多結晶シリコン膜、12…コンタクトホール、13…アルミニウム配線。

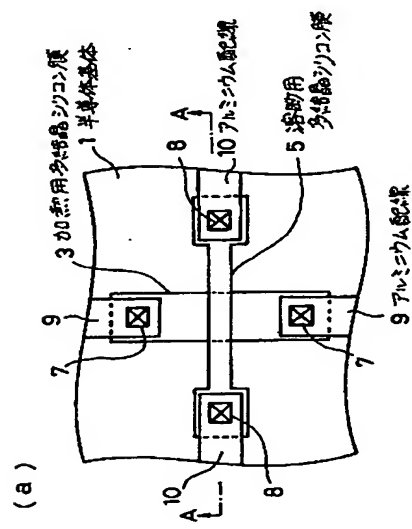
代理人 弁理士 鈴木 章



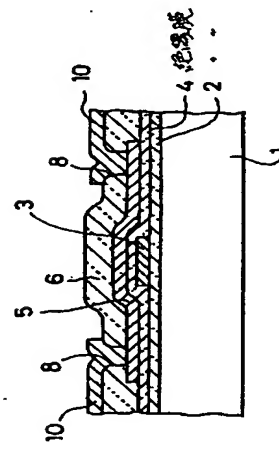
9

10

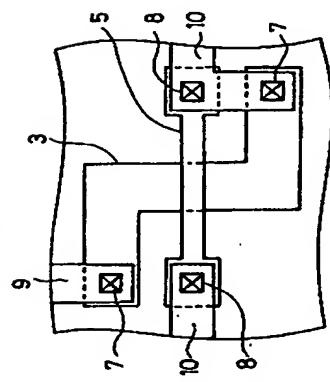
第 1 図



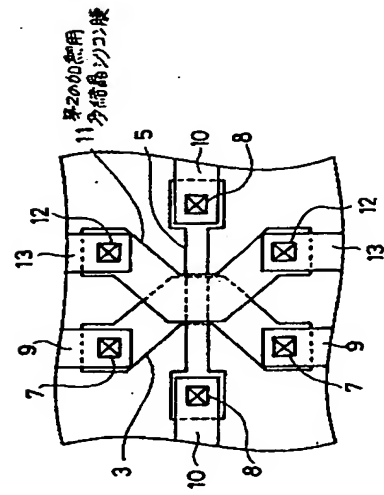
(b)



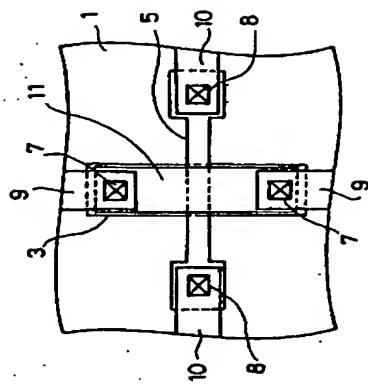
第 2 図



第 3 図



第 4 図



第 5 図

